

# 公開実用 昭和62- 48097

⑩ 日本国特許庁 (J P)

⑪ 実用新案出願公開

⑫ 公開実用新案公報 (U) 昭62- 48097

⑬ Int. Cl. 4	識別記号	庁内整理番号	⑭ 公開 昭和62年(1987) 3月25日
G 11 C 5/00	3 0 3	6549-5B	
G 06 F 12/14	3 1 0	B-8219-5B	
12/16		B-7737-5B	審査請求 未請求 (全 頁)

⑮ 考案の名称 RAMカード

⑯ 実 願 昭60-138509

⑰ 出 願 昭60(1985) 9月10日

⑱ 考 案 者 伊 藤 久 志 東京都西多摩郡羽村町栄町3丁目2番1号 カシオ計算機株式会社羽村技術センター内

⑲ 考 案 者 渥 美 広 城 東京都西多摩郡羽村町栄町3丁目2番1号 カシオ計算機株式会社羽村技術センター内

⑳ 考 案 者 藤 田 健 志 東京都西多摩郡羽村町栄町3丁目2番1号 カシオ計算機株式会社羽村技術センター内

㉑ 出 願 人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号

㉒ 代 理 人 弁理士 鈴江 武彦 外2名

## 明 細 書

### 1. 考案の名称

R A M カード

### 2. 実用新案登録請求の範囲

小型電子機器内部の R A M の拡張用として外部よりコネクタを介して装着される R A M カードにおいて、データの書込みを禁止するプロテクトスイッチと、このプロテクトスイッチの設定状態に応じて上記小型電子機器から R A M カードに送られてくる書込み制御信号を断続制御する制御手段とを具備したことを特徴とする R A M カード。

### 3. 考案の詳細な説明

#### 〔考案の技術分野〕

この考案は小型電子機器に接続される R A M カードに関する。

#### 〔従来技術とその問題点〕

近年、マイクロコンピュータやポケットコンピュータ等の小型電子機器において、外部よりカード状の R A M (以下「R A M カード」と略称する) を接続することの可能なものが多種企画され、製

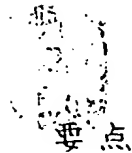
## 公開実用 昭和62- 48097

品化されている。このRAMカードは、内部に1つないしは複数のRAMチップ及び書込まれた記憶内容を保持するためのメモリバックアップ用の電池を備えており、小型電子機器本体に設けられたRAMカード挿入口に差込み挿入することにより、その小型電子機器本体に内蔵されているRAMの拡張用として用いられるものである。

しかしながらこのようなRAMカードにあっては、従来、例えばコンパクトカセットのツメやフロッピーディスクのノッチに相当するような、すでに書込まれている記憶内容を保護するための書込防止（メモリプロテクト）手段がなかった。そのため、使用者にとって重要な記憶内容が新たなデータの書込みに伴って不本意に消去または破壊されてしまうという問題があった。

### 〔 考案の目的 〕

この考案は上記のような実情に鑑みてなされたもので、カード自体にメモリプロテクト機構を備え、記憶内容の破壊を禁止することのできるRAMカードを提供することを目的とする。



#### 〔 考 案 の 効 果 〕

この考案は、R A M カードにデータの書込みを禁止するプロテクト・スイッチを設け、このスイッチの状態に応じて小型電子機器本体側から送られてくる書込み制御信号を断続するようにしたものである。

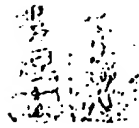
訂正  
之  
印

#### 〔 考 案 の 実 施 例 〕

以下図面を参照してこの考案の一実施例を説明する。第 1 図はその外観構成を示すもので、1 がケースである。このケース 1 の上面に、データの書込禁止を設定するプロテクトスイッチ 2 が設けられる。このプロテクトスイッチ 2 は、スライドスイッチで構成されるもので、オンの位置でデータの書込みの禁止状態を、オフの位置でデータの書込み可能状態をそれぞれ設定するものである。また、このケース 1 と小型電子機器本体側との接続部であるコネクタ部は、図では隠れた背部にあるものとし、その図示は省略する。

次に上記ケース 1 内に設けられる電子回路の構成について第 2 図により説明する。同図において、

## 公開実用 昭和62- 48097



11はRAMチップであり、このRAMチップ11のデータ端子D0～D7がデータバス12を介して小型電子機器本体側とのコネクタを形成する外部端子D0～D7に接続される。同様にしてRAMチップ11のアドレス端子A0～A10がアドレスバス13を介して外部端子A0～A10に接続される。さらに小型電子機器本体側からの電源電圧が印加される外部端子VDDが抵抗14、ダイオード15のカソード端子、抵抗16及びRAMチップ11の電源電圧端子VDDに接続される。外部端子GNDが、内蔵電池17のマイナス側、プロテクトスイッチ2のオン側の固定接点2a及びRAMチップ11のグラウンド端子GNDに接続され、内蔵電池17のプラス側端子は、抵抗18を介して上記ダイオード15のアノード端子と接続される。抵抗16の外部端子VDDと接続されない他端がプロテクトスイッチ2のオフ側の固定接点2bと接続され、このプロテクトスイッチ2の可動接点2cがインバータ19及びナンド回路20の入力端子に接続される。上記抵抗14の外部端子VDDと接続されない他端は外部端

子  $\overline{CE}$  とともに接続され、この外部端子  $\overline{CE}$  は他にインバータ21の入力端及びRAMチップ11の端子  $\overline{CE}$  と接続される。RAMチップ11のデータの書込み／読出しを制御するための外部端子  $\overline{WR}$  がインバータ22の入力端に接続され、このインバータ22の出力端は上記ナンド回路20及びアンド回路23の入力端と接続される。上記ナンド回路20の出力端がRAMチップ11の書込み／読出し制御端子  $\overline{WR}$  に接続される。外部端子  $\overline{OE}$  が、そのままRAMチップ11の端子  $\overline{OE}$  に接続され、上記アンド回路23の出力端が、小型電子機器に書込み禁止状態を表示させるための外部端子  $N.W$  に接続される。

次いで上記第2図の回路に対応した小型電子機器本体側の回路構成について第3図により説明する。同図で31は制御部であり、この制御部31からRAMカードへのデータの書込みを指定する  $Write$  信号はフリップフロップ（以下「F/F」と略称する）32のセット（S）端子に入力される。このF/F 32のQ端子からの出力がインバータ33を介して反転され、書込み／読出し信号  $\overline{WR}$  とし

## 公開実用 昭和62- 48097

て出力される。一方、RAMカード側の外部端子N、Wからの書込み禁止信号は、オア回路33を介して上記F/F32のリセット(R)端子に入力されると共に、F/F34のS端子にも入力される。このF/F34のQ端子から出力される信号は、書込み禁止状態を表示するための信号として表示制御部35に送出される他、遅延回路36にも送られる。この遅延回路36は、F/F34からの入力信号に適宜遅延を与えた後に、その信号をオア回路37を介して再びF/F34のR端子に送出する。上記制御部31がRAMカードへのデータの書込みを中止するため出力するReset信号は、上記RAMカードからのN、W信号と同じくインバータ33を介してF/F32のR端子に入力されると共に、オア回路37を介してF/F34のR端子に入力される。上記表示制御部35は、F/F34のQ端子から入力される信号により、制御部31から送られてくる表示データに代わって、表示部38にRAMカードへのデータの書込みが禁止状態であることを表示させる。



続いて上記実施例の動作について説明する。まず第2図において、RAMカードへのデータの書込みを禁止しないように、プロテクトスイッチ2をオフ状態に設定すると、プロテクトスイッチ2の接点2bと2cとが導通することとなるので、小型電子機器本体側からの電源V<sub>DD</sub>または内蔵電池17の電源によりナンド回路20のゲート信号が“H”レベルとなる。この結果、小型電子機器本体側からのデータの書込み／読出しを制御する信号 $\overline{WR}$ が書込みを指定する“L”レベルとなると、これがインバータ22で反転されて“H”レベルとなってナンド回路20に入力され、これに伴ってナンド回路20が“L”レベルの信号をRAMチップ11の端子 $\overline{WR}$ に入力して、RAMチップ11がデータの書込み状態となる。したがってRAMチップ11では、アドレスバス13を介して端子A<sub>0</sub>～A<sub>10</sub>に入力される指定アドレス位置に、データバス12を介して端子D<sub>0</sub>～D<sub>7</sub>に入力されるデータが書込まれるものとなる。この場合、インバータ19に入力される信号も“H”レベルであるので、その反転



## 公開実用 昭和62- 48097



出力“L”によってアンド回路23の出力は“L”レベルとなり、小型電子機器本体側に送られる書込み禁止を指令する信号は“L”レベルとなって、小型電子機器本体側に何の影響も与えず、通常の書込み／読出し動作が行なわれる。

次にRAMカードへのデータの書込みを禁止するように、プロテクトスイッチ2をオン状態に設定すると、プロテクトスイッチ2の接点2aと2cとが導通し、小型電子機器本体側からの電源V<sub>DD</sub>または内蔵電池17の電源がナンド回路20に通電されず、そのゲート信号が“L”レベルとなる。そのため、小型電子機器本体側からのデータの書込み／読出しを制御する信号 $\overline{WR}$ が書込みを指定する“L”レベルとなり、これがインバータ22で反転されて“H”レベルとなってナンド回路20に入力されても、ナンド回路20は“H”レベルの信号をRAMチップ11の端子 $\overline{WR}$ に入力し、依然RAMチップ11はデータの読出し状態である。したがってRAMチップ11では、アドレスバス13を介して端子A<sub>0</sub>～A<sub>10</sub>に入力される指定アドレス位置

でのデータの読出しは可能であるが、データの書込みは不可能となる。この場合、インバータ19に入力される信号は“L”レベルであり、その反転出力として“H”レベルの信号がアンド回路23に入力される。したがってアンド回路23では、このインバータ19からの“H”レベルの信号により、チップイネーブル信号 CE、書込み／読出し信号 WR が共に“L”レベルとなると、その出力が“H”レベルとなってかえこみ禁止を指令するN.W信号として小型電子機器本体側に送出される。

小型電子機器本体側では、第3図に示したように“H”レベルのN.W信号が送られてくると、この信号がアンド回路23を介してF/F32のR端子とF/F34のS端子とに入力される。F/F32はR端子への入力によりQ端子から出力するRAMカードへのデータの書込みを指示する信号を停止させる。また、F/F34は、S端子への入力によりQ端子からの出力が“H”レベルとなり、これを表示制御部35及び遅延回路36に送出する。表示制御部35は、このF/F34からの信号に応じて

## 公開実用 昭和62- 48097



制御部31から送られてくる表示データによる表示部38での表示動作を中断し、代わってRAMカードへのデータの書込みが禁止状態であることを表示させる。一方表示制御部35と共にF/F34のQ端子からの信号を入力された遅延回路36では、この信号入力に従って特定時間のカウント動作を行ない、その時間が経過した後に、“H”レベルの信号をオア回路37を介してF/F34のR端子に送出する。そのため、F/F34はリセットされて、Q端子からの出力を再び“L”レベルとし、これによって表示制御部35による表示部38でのデータの書込み禁止の表示を終了する。このようにして、RAMカードでのデータの書込み禁止が実行されると共にそれが表示部38にも特定時間表示されるので、使用者はプロテクトスイッチ2の設定状態を表示部38で認識することができるようになるものである。

なお上記実施例では、RAMカード内にRAMチップが1つ備えられたものについて示したが、これに限定するものではなく、複数のRAMチッ

プを備え、各RAMチップ毎にデータの書込みを禁止するようにすることも容易に考えられる。

〔考案の効果〕

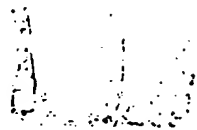
以上のようにこの考案によれば、RAMカードにデータの書込みを禁止するプロテクト・スイッチを設け、このスイッチの状態に応じて小型電子機器本体側から送られてくる書込み制御信号を断続するようにしたので、不用意に記憶データを破壊してしまうことなく、使用者自身が記憶データを保護することのできるRAMカードを提供することができる。

4. 図面の簡単な説明

図面はこの考案の一実施例を示すもので、第1図は外観構成を示す斜視図、第2図は回路構成を示すブロック図、第3図は第2図の回路が接続される小型電子機器本体側の回路構成を示すブロック図である。

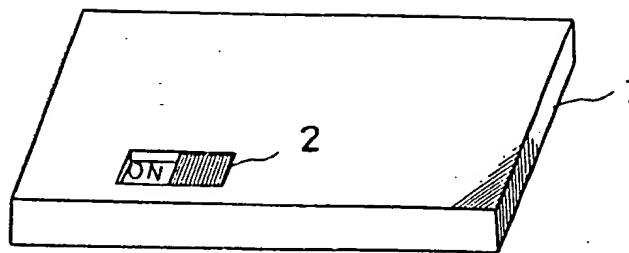
1…ケース、2…プロテクトスイッチ、2a~2c…接点、11…RAMチップ、12…データバス、13…アドレスバス、17…内蔵電池、20…ナンド回路、

公開実用 昭和62- 48097



23… アンド回路、31… 制御部、32, 34… フリップ  
フロップ (F/F)、35… 表示制御部、36… 遅延  
回路、38… 表示部。

出願人代理人 弁理士 鈴 江 武 彦



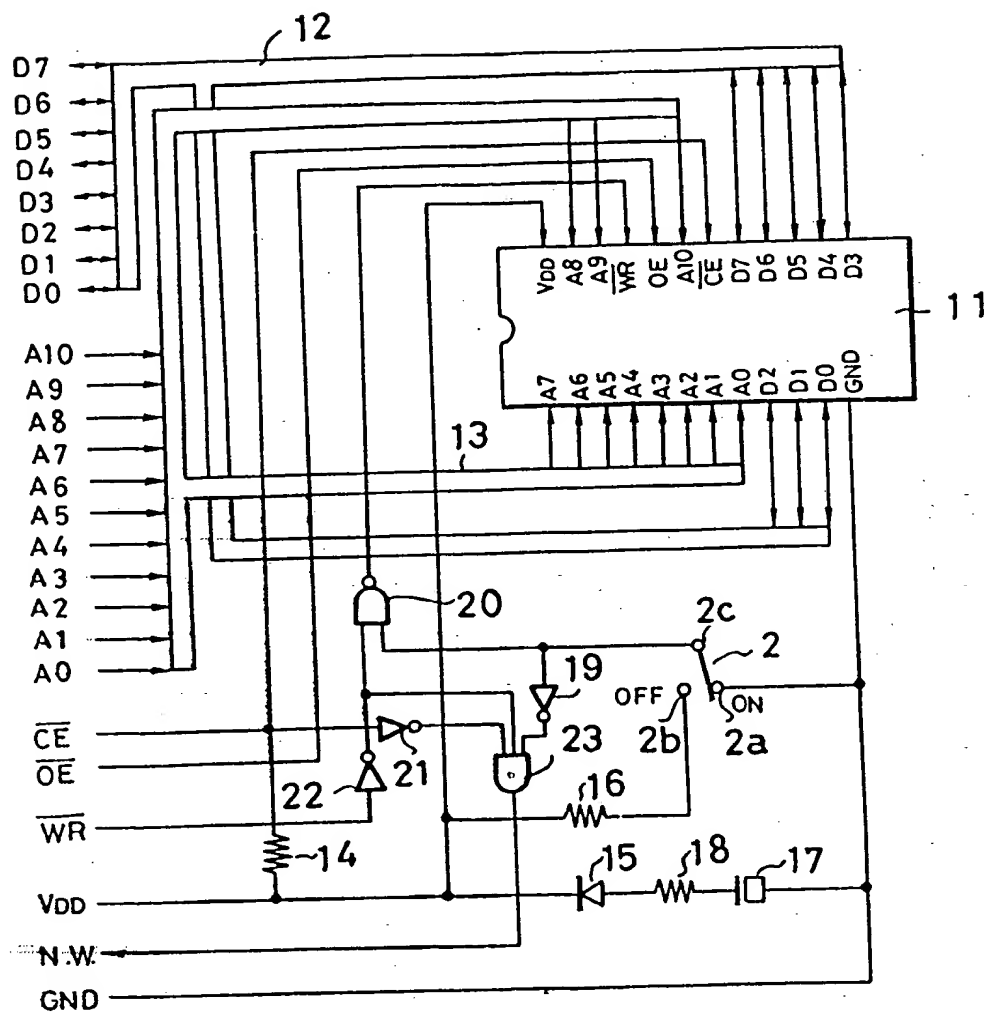
第 1 図

1387

95362-48097

出 願 人 カシオ計算機株式会社  
代 理 人 鈴 江 武 彦

公開実用 昭和62- 48097

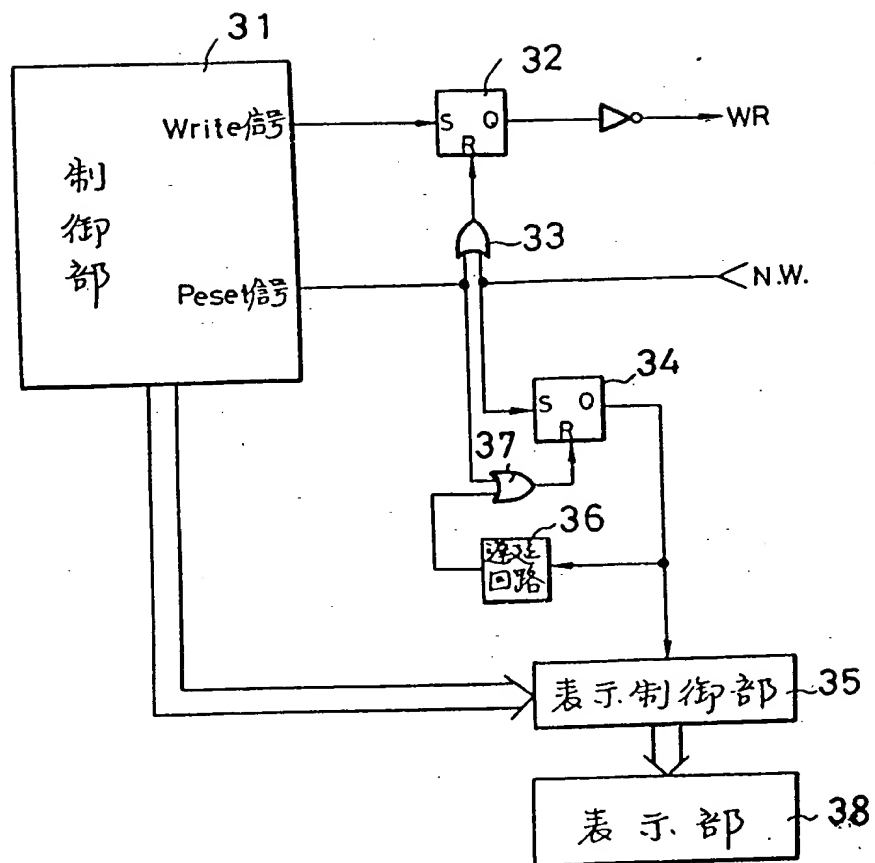


第 2 図

1388

実用62-48097

出 願 人 カシオ計算機株式会社



第 3 図

1389

実開62-48097

出 願 人 カシオ計算機株式会社  
代 理 人 鈴 江 武 彦